# Evaluación del Trabajo Práctico Número 7

Arquitectura de Computadoras 10/06/2025

---

**Instrucciones**

- La presente evaluación es **individual** y podrá utilizar todo el material de consulta disponible.
- La misma consta de **2 ejercicios** en total y la duración será de **60 minutos**.
- En cada ejercicio se indica el tiempo estimado para resolverlo y el puntaje que otorga.
- La evaluación se desarrollará en las hojas provistas por la cátedra a tal fin.
- Las hojas que no respeten el formato indicado por la cátedra no serán tenidas en cuenta.
- La presentación, ortografía y redacción serán tenidas en cuenta para la calificación final.

---

**Ejercicios para resolver**

1) **40 Minutos - 65 Puntos (10, 15, 25, 15)**
Considere un procesador de 32 bits que opera a 2 GHz con el siguiente sistema de memoria:
   - Un disco rígido con un tiempo de acceso de 1.8 ms y un tiempo de transferencia de 0.4 ms por cada bloque de 512 bytes.
   - Cuatro módulos de memoria DRAM entrelazados de 32 bits cada uno, con un tiempo de acceso de 8 ns y un tiempo de ciclo de 24 ns. La tasa de fallo de la memoria principal es del 0,2 % y el 25 % de los recambios de páginas desalojan páginas que fueron modificadas. Las páginas son de 4 KiB.
   - Un caché unificado de segundo nivel con una tasa de trasferencia de 32 bits / 2 ciclos, un tamaño de bloque de 256 bytes y una tasa de fallos del 1,5 %. La política de escritura es write-back y el 20 % de los bloques reemplazados fueron modificados.
   - Un caché de instrucciones y un caché de datos separados, ambos con bloques de 32 bytes y un tiempo de acceso de 1 ciclo. La tasa de fallos es de 1 % para el caché de instrucciones y de 2,5 % para el caché de datos.
   - Un TLB que realiza la traducción de direcciones virtuales antes del acceso a cualquiera de los cachés, con un tiempo de acceso de 1 ciclo, una tasa de acierto del 99,5 %. En caso de fallo se requiere la lectura de 4 bytes de la DRAM para actualizarlo, la cual no puede fallar.

   a) Calcule el AMAT de la memoria principal.
   b) Calcule la penalidad en caso de fallo de los cachés de primer nivel.
   c) Calcule el AMAT del TLB.
   d) Calcule el CPI promedio de gcc suponiendo que todos los accesos a datos son lecturas.

2) **20 Minutos - 35 Puntos (10, 15, 10)**
Suponga un sistema de memoria para un procesador de 32 bits, con direccionamiento a byte, con direcciones virtuales y físicas de 32 bits, con un tamaño de página de 4 KiB y algoritmo LRU para el reemplazo de páginas. Este sistema de memoria cuenta con una caché de datos L1 asociativa por conjuntos de 4 vías, con 128 conjuntos, bloques de 8 palabras y algoritmo de reemplazo LRU, y un TLB de 32 entradas, completamente asociativo y cuyo algoritmo de reemplazo también es LRU. Sobre este sistema se ejecuta el siguiente programa:

```
r1 = 0;
for (i=0; i<256; i++){
    for (j=0; j<1024; j++) {
        r1 = r1 + A[i][j];
    }
}
```

   Suponiendo que la matriz A está almacenada por filas a partir de la dirección 0x100000080, y que todos sus elementos son de 32 bits, se pide:
   a) Indique si es posible acceder al cache en paralelo con el TLB. Justifique su respuesta.
   b) Calcule la cantidad de fallos en el TLB.
   c) Calcule la cantidad de fallos en el caché de datos.

**Soluciones propuestas**

1)
   a) $AMAT_{DRAM}$ = 13.012 ns
   b) $P_{L1}$ = 242.216 ns = 484.432 ciclos
   c) $AMAT_{TLB}$ = 0,54 ns
   d) CPI = 11.175

2)
   a) Si se puede acceder al caché en paralelo con el TLB.
   b) Se producen 257 fallos de TLB en total.
   c) El total de fallos en la caché de datos será de 32.768.